

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-134407

(P2004-134407A)

(43) 公開日 平成16年4月30日(2004.4.30)

(51) Int.Cl.⁷H 01 J 11/02
H 01 J 9/02

F I

H 01 J 11/02
H 01 J 9/02

テーマコード(参考)

5 C 027
5 C 040

B

F

C

D

審査請求 有 請求項の数 10 O L (全 9 頁)

(21) 出願番号 特願2003-351915 (P2003-351915)
 (22) 出願日 平成15年10月10日 (2003.10.10)
 (31) 優先権主張番号 2002-061889
 (32) 優先日 平成14年10月10日 (2002.10.10)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590001669
 エルジー電子株式会社
 大韓民国, ソウル特別市永登浦区汝矣島洞
 20
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 パク, ウン・チュル
 大韓民国・キョンサンブクード・クミーシ
 ・ビサンードン・(番地なし)・ギャンビ
 ュン ボスン アパートメント・ナンバー
 103-1501
 F ターム(参考) 5C027 AA07
 5C040 FA01 FA04 GB03 GB14 GE07
 GE08 GE09 JA07

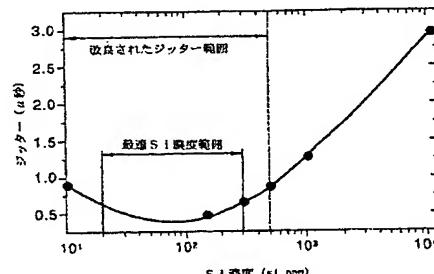
(54) 【発明の名称】 プラズマディスプレイパネルの保護膜及びその製造方法

(57) 【要約】

【課題】 本発明はアドレス期間のジッタ値を減らすようにしたプラズマディスプレイパネルの保護膜及びその製造方法を提供する。

【解決手段】 本発明プラズマディスプレイパネルの保護膜及びその製造方法は酸化マグネシウム(MgO)を主成分にしてシリコン(Si)が500 ppm以下添加された保護膜をプラズマディスプレイパネルに形成する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

酸化マグネシウム (MgO) を主成分として、シリコン (Si) が 500 ppm 以下添加されたことを特徴とするプラズマディスプレイパネルの保護膜。

【請求項 2】

前記シリコン (Si) が大略 20 ppm ~ 300 ppm 程度添加されることを特徴とする請求項 1 記載のプラズマディスプレイパネルの保護膜。

【請求項 3】

50 ppm 以下のカルシウム (Ca) 、 50 ppm 以下の鉄 (Fe) 、 250 ppm 以下のアルミニウム (Al) 、 5 ppm 以下のニッケル (Ni) 、 5 ppm 以下のナトリウム (Na) 、 5 ppm 以下のカリウム (K) がさらに添加されることを特徴とする請求項 1 記載のプラズマディスプレイパネルの保護膜。
10

【請求項 4】

前記プラズマディスプレイパネルには 5 % 以上のキセノン (Xe) を含む放電ガスが封入されることを特徴とする請求項 1 記載のプラズマディスプレイパネルの保護膜。

【請求項 5】

酸化マグネシウム (MgO) を主成分としてシリコン (Si) が 500 ppm 以下添加された保護膜を形成する段階を含むことを特徴とするプラズマディスプレイパネルの保護膜製造方法。

【請求項 6】

前記保護膜は真空蒸着工程により前記プラズマディスプレイパネルに形成されることを特徴とする請求項 5 記載のプラズマディスプレイパネルの保護膜製造方法。

20

【請求項 7】

前記保護膜は化学的気相蒸着 (CVD) 、イービーム、イオンープルレインティング、スパッタリングのいずれか一つの工程により前記プラズマディスプレイパネルに形成されることを特徴とする請求項 5 記載のプラズマディスプレイパネルの保護膜製造方法。

【請求項 8】

前記保護膜には大略 20 ppm ~ 300 ppm 程度のシリコン (Si) が添加されることを特徴とする請求項 5 記載のプラズマディスプレイパネルの保護膜製造方法。

【請求項 9】

前記保護膜には 50 ppm 以下のカルシウム (Ca) 、 50 ppm 以下の鉄 (Fe) 、 250 ppm 以下のアルミニウム (Al) 、 5 ppm 以下のニッケル (Ni) 、 5 ppm 以下のナトリウム (Na) 、 5 ppm 以下のカリウム (K) がさらに添加されることを特徴とする請求項 5 記載のプラズマディスプレイパネルの保護膜製造方法。

30

【請求項 10】

前記プラズマディスプレイパネルに 5 % 以上のキセノン (Xe) を含む放電ガスを封入する段階をさらに含むことを特徴とする請求項 5 記載のプラズマディスプレイパネルの保護膜製造方法。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明はプラズマディスプレイパネルに関わり、特に、アドレス期間のジッタ値を減らすようにしたプラズマディスプレイパネルの保護膜及びその製造方法に関する。

【背景技術】**【0002】**

プラズマディスプレイパネル (PDP) はヘリウム (He) + キセノン (Xe) 、ネオン (Ne) + キセノン (Xe) 、ヘリウム (He) + キセノン (Xe) + ネオン (Ne) などの不活性混合ガスが放電する際に発生する紫外線を利用して蛍光体を励起発光させることにより画像を表示している。このような PDP は薄膜化と大型化が容易であるとともに最近の技術開発に伴って画質が向上している。

50

【0003】

図1を参照すると、3電極交流面放電型PDPの放電セルは、上部基板(1)に形成されたスキャン電極(Y)及びサステイン電極(Z)を含むサステイン電極対と、サステイン電極対と直交させて下部基板(2)上に形成されたアドレス電極(X)を具備する。

【0004】

スキャン電極(Y)とサステイン電極(Z)のそれぞれは透明電極と、その上に形成された金属バス電極で構成されている。スキャン電極(Y)とサステイン電極(Z)が形成された上部基板(1)には上部誘電体層(6)とMgO保護膜(7)が積層される。MgO保護膜(7)は放電により発生した粒子のスパッタリングから誘電体層(6)と電極(Y, Z)を保護すると同時に二次電子の放出効率を高くする役を果たしている。10

【0005】

アドレス電極(X)が形成された下部基板(2)上にはアドレス電極(X)を覆うように下部誘電体層(4)が形成される。下部誘電体層(4)上にはほぼ垂直に立ち上がる隔壁(3)が形成されている。下部誘電体層(4)と隔壁(3)の表面には蛍光体(5)が形成される。

【0006】

上部基板(1)と下部基板(2)は図示しないシーラントにより結合される。上部基板(1)と下部基板(2)及び隔壁(3)の間に形成された放電空間にはHe+Xe、Ne+Xe、He+Xe+Neなどの不活性混合ガスが注入される。

【0007】

PDPは画像の階調を実現するために、1フレームを発光回数が異なる多くのサブフィールドに分けて時分割駆動し、アドレッシングと表示を分離する方式(Address and Display Separated: ADS)を採択している。各サブフィールドは全画面を初期化させるためのリセット期間と、走査ラインを選択して、選択された走査ラインでセルを選択するためのアドレス期間と、放電回数によって階調を実現するサステイン期間に分けられる。リセット期間は上昇ランプ(傾斜)波形が供給されるセットアップ期間と下降ランプ波形が供給されるセットダウン期間に分けられている。例えば、256階調で画像を表示しようとする場合に、図2のように1/60秒にあたるフレーム期間(16.67ms)は8個のサブフィールド(SF1~SF8)に分けられる。8個のサブフィールド(SF1~SF8)のそれぞれは前述したように、初期化期間、アドレス期間及びサステイン期間に分けられる。各サブフィールドの初期化期間とアドレス期間は、各サブフィールドごとに同一であるが、サステイン期間と、それに割り当てるサステインパルスの数は各サブフィールドで 2^n (n=0, 1, 2, 3, 4, 5, 6, 7)の比率で増加する。30

【0008】

図3及び図4は、図1に図示したPDPの駆動波形を示す。

図3を参照すると、PDPはリセット期間、アドレス期間及びサステイン期間に分けて駆動される。

リセット期間には、すべてのスキャン電極(Y)に上昇ランプ波形(Ramp-up)が同時に印加される。この上昇ランプ波形(Ramp-up)により全画面のセル内に放電が起きる。このセットアップ放電により、アドレス電極(X)とサステイン電極(Z)上には正極性の壁電荷が蓄積され、スキャン電極(Y)上には負極性の壁電荷が蓄積される。セットアップ放電に引き継いで、上昇ランプ波形(Ramp-up)のピーク電圧より低い正極性の電圧が低下する下降ランプ波形(Ramp-down)がスキャン電極(Y)に同時に印加される。下降ランプ波形(Ramp-down)はセル内に微弱な消去放電を起こさせることで過度に形成された壁電荷を一部消去させる。このセットダウン放電によりアドレス放電が安定して起きることができる程度の壁電荷がセル内に均一に残留する。40

【0009】

アドレス期間には負極性スキャンパルス(scan)がスキャン電極(Y)に順次印加されると同時にスキャンパルス(scan)に同期してアドレス電極(X)に正極性のデ50

ータパルス (data) が印加される。このスキャンパルス (scan) とデータパルス (data) の電圧差と初期化期間に生成された壁電圧とによってデータパルス (data) が印加されたセル内にアドレス放電が発生する。アドレス放電により選択されたセル内にはサステイン電圧が印加されたときに放電を起こさせる程度の壁電荷が形成される。

【0010】

サステイン電極 (Z) にはセットダウン期間とアドレス期間の間に正極性の直流電圧 (Zdc) が供給される。この直流電圧 (Zdc) は、セットダウン期間にサステイン電極 (Z) とスキャン電極 (Y) の間にセットダウン放電を起こさせると同時に、アドレス期間にスキャン電極 (Y) とサステイン電極 (Z) の間の放電が大きくならないようにサステイン電極 (Z) とスキャン電極 (Y) の間、またはサステイン電極 (Z) とアドレス電極 (X) の間の電圧差を設定する。10

サステイン期間にはスキャン電極 (Y) とサステイン電極 (Z) に交番的にサステインパルス (sus) が印加される。アドレス放電により選択されたセルは、セル内の壁電圧にサステインパルス (sus) が加わってサステインパルス (sus) が印加されるたびに、スキャン電極 (Y) とサステイン電極 (Z) の間にサステイン放電、すなわち、表示放電が起こる。

【0011】

サステイン放電が完了した後には、セル内の電荷を消去するための消去信号としてパルス幅が小さい矩形波 (ers1, ers2) と電圧レベルが小さいランプ波形 (ers3) がサステイン電極 (Z) に供給される。このような消去信号 (ers1, ers2, ers3) がセル内に供給されると消去放電が起き、サステイン放電により生成されて残流した壁電荷が消去される。20

【0012】

図4に示された駆動波形は図3に示された駆動波形に比べてリセット期間に供給される初期化波形が、スキャン電極 (Y) とサステイン電極 (Z) に交番的に供給される矩形波 (rst1, rst2, rst3) と上昇ランプ波形 (Ramp-up) とに変わる。そしてアドレス期間とサステイン期間の間、各電極 (X, Y, Z) に供給される信号は図3に図示されたそれらと実質的に同一である。

【0013】

このようなPDPにおいて、高品位の画質を実現するためには高精細、高輝度、高明暗比、低いカントーノイズ (Contour noise) などが要求される。またPDPで高品位の画質を実現するためにはADS駆動方式において適切なアドレス期間が確保されなければならない。PDPが高精細／高解像度に発展すればするほどスキャンするラインの数が増加するのでアドレス期間が長くなり、サステイン期間の確保が難しくなる。例えば、480のスキャンラインが存在し、各ライン当たり $3\mu s$ のスキャン時間が必要で、最初のスキャンラインから最後のスキャンラインまで一度にスキャンするシングルスキャン方式を採択して1フレームを8個のサブフィールドに分けて駆動するとすると、1フレーム内で必要なアドレス期間は $480 \times 3\mu s \times 8 = 13ms$ 以上である。したがって、1フレーム内でサステイン期間に割り当てる時間は $16.67ms - 13ms$ となり、絶対的に不足する。このような不足するサステイン期間をたくさん割当るためには、スキャン時間を減らさなければならない。しかし、アドレス放電の際のジッタを考慮してスキャンパルスの幅を長くするので、アドレス期間を減らしにくい。ジッタはアドレス放電の際に発生する放電遅延時間であり、サブフィールドごとに多少の差があり、駆動の際にある範囲を持つ。スキャンパルスにはこのようなジッタ値が含まれるのでそのパルス幅が長くなる。したがって、ジッタ値が大きいほどアドレス期間が長くなるので高品位の画質実現が困難になる。3040

【0014】

ジッタ値はPDPの温度や周囲温度が低いほど増加する傾向がある。このためにPDPは低温でアドレス放電が不安定になり、セル選択ができない、すなわち、ミスライティングが発生して表示画像で黒点が現われる所以環境対応力が劣る。50

【0015】

一方、日本公開特許公報2001-135238号はPDP内に封入された放電ガスでキセノン(Xe)の含量を5%以上に高めることで従来の低密度Xeパネルに比べて駆動電圧が高いが、輝度をさらに高めることができるPDPを提案した事がある。ところが高密度XeパネルはXeの量が増加するほどアドレス期間のジッタ値が増加する。したがって、アドレス期間のジッタ値により高密度Xeパネルの実現が難しいというのが実情である。

【0016】

アドレス期間のジッタ値に一番大きい影響を及ぼす因子としては保護膜(7)の2次電子放出特性である。保護膜(7)の二次電子放出効率が高ければ高いほどジッタが減少して、減少した分スキャンパルスのパルス幅が減るのでアドレス期間を短縮することができる。
10

【特許文献1】日本公開特許公報2001-135238号

【発明の開示】

【発明が解決しようとする課題】

【0017】

従って、本発明の目的は、アドレス期間のジッタ値を減らすようにしたPDPの保護膜及びその製造方法を提供することにある。

【課題を解決するための手段】

【0018】

20

前記目的を果たすために、本発明の実施態様に係るPDPの保護膜は酸化マグネシウム(MgO)を主成分としてシリコン(Si)を500ppm以下添加する。

【0019】

本PDPの保護膜にはシリコン(Si)が大略20ppm~300ppm程度添加される。

【0020】

本PDPの保護膜には50ppm以下のカルシウム(Ca)、50ppm以下の鉄(Fe)、250ppm以下のアルミニウム(Al)、5ppm以下のニッケル(Ni)、5ppm以下のナトリウム(Na)、5ppm以下のカリウム(K)がさらに添加される。

【0021】

30

本PDPは、5%以上のキセノン(Xe)を含む放電ガスが封入されることを特徴とする。

【0022】

本PDPの保護膜製造方法は酸化マグネシウム(MgO)を主成分にしてシリコン(Si)が500ppm以下添加された保護膜を形成する段階を含む。

【0023】

本PDPの保護膜製造方法は保護膜を真空蒸着工程を利用してPDPに形成する。本PDPの保護膜製造方法は保護膜を化学的気相蒸着(CVD)、イービーム、イオンープレイティング、スペッタリングのいずれか一つの工程を利用してPDPに形成する。

【0024】

40

本PDPの保護膜製造方法は保護膜に大略20ppm~300ppm程度のシリコン(Si)を添加する。

【0025】

本PDPの保護膜製造方法は保護膜に50ppm以下のカルシウム(Ca)、50ppm以下の鉄(Fe)、250ppm以下のアルミニウム(Al)、5ppm以下のニッケル(Ni)、5ppm以下のナトリウム(Na)、5ppm以下のカリウム(K)をさらに添加する。

【0026】

本PDPの保護膜製造方法はPDPに5%以上のキセノン(Xe)を含む放電ガスを封入する段階をさらに含む。

50

【発明の効果】

【0027】

上述したように、本発明に係るPDPの保護膜及びその製造方法は保護膜にシリコンを添加したので、保護膜の二次電子放出特性を向上させることができ、アドレス期間のジッタを減らすことができる。その結果、本発明に係る保護膜を使用した及びその保護膜の製造方法を利用したPDPは、アドレス放電が短い時間で安定して起きるので、低温環境でもアドレス動作が安定し、発光効率が高くなる。さらに、本発明に係る保護膜を使用した及びその保護膜の製造方法を利用したPDPは、アドレス期間が減るだけサステイン時間が充分に確保されるので、カンターノイズを減らすことができ、サブフィールドの数を増加させることができ、PDPで高品位の画質を得ることができる。

10

【発明を実施するための最良の形態】

【0028】

前記目的以外の本発明の他の目的及び利点は、添付した図面を参照した本発明の好ましい実施形態についての詳細な説明を通して明らかになるであろう。

以下、発明の実施形態を、添付した図5～図6を参照して詳しく説明する。

【0029】

図5を参照すると、本発明の実施形態に係るPDPの保護膜は酸化マグネシウム(MgO)を主成分とし、シリコン(Si)を微量含む。シリコンはジッタが最小となる範囲内の濃度とする。図5において、垂直軸はアドレス期間のジッタμsで、水平軸はシリコン(Si)の含有量wt. ppmを示す。

20

【0030】

本発明に係る保護膜は化学的気相蒸着(CVD)、イービーム、イオンープレイティング、スペッタリングなどの真空蒸着法でPDPの上板に形成される。

【0031】

真空蒸着法を利用して本発明に係る保護膜を形成する際、シリコン(Si)を微量添加する方法は様々な方法がある。真空蒸着に使われる原材料(Source material、targetなど：以下“ソース物質”という)にシリコン(Si)を微量添加して単一ソースとして保護膜を蒸着することもでき、既存の酸化マグネシウム(MgO)とシリコン(Si)と一緒に同時にソースとして用いて保護膜にシリコン(Si)を添加させることもできる。その場合、シリコン(Si)の含量はシリコンソースに印加されるパワーを調整して調節することができる。ここで、ソース物質は酸化マグネシウム(MgO)が99.5wt%以上の海水やマグネシウム原石を精製して製作する。この時、300ppm以下のカルシウム(Ca)、50ppm以下の鉄(Fe)、250ppm以下のアルミニウム(Al)、5ppm以下のニッケル(Ni)、5ppm以下のナトリウム(Na)、5ppm以下のカリウム(K)が不純物として含まれることがあり、表1のように5000ppm以下のシリコン(Si)が添加される。言いかえれば、ソース物質には下の表1のように保護膜の二次電子放出特性を改善するためのシリコン(Si)が微量含まれる。

30

【表1】

40

MgO	99.5wt%～99.9999wt%
Si	5000ppm以下

【0032】

このような保護膜蒸着方法を利用してサステイン電極対(Y、Z)と誘電体層が形成されたPDPの上部基板上にMgO保護膜を蒸着する。このような蒸着工程によりPDPの上部基板上に形成され、シリコン(Si)が微量添加された保護膜は表2のように100wt%に近い酸化マグネシウム(MgO)と保護膜の二次電子放出特性を改善するためのシリコン(Si)が500ppm以下に微量含まれることになる。

【表2】

MgO	99.5 wt%~99.9999 wt%
Si	500 ppm以下

【0033】

また、PDPに形成された保護膜には50 ppm以下のカルシウム(Ca)、50 ppm以下の鉄(Fe)、250 ppm以下のアルミニウム(Al)、5 ppm以下のニッケル(Ni)、5 ppm以下のナトリウム(Na)、5 ppm以下のカリウム(K)が含まれてもよい。

【0034】

表1及び表2において、ソース物質と実際にPDP上に形成された保護膜とではシリコン(Si)の含量が減っているが、これは蒸着工程の際、工程変数を調節することに起因する。例えば、蒸着装置内の圧力を高めたりPDPの基板とソース物質の間の距離を増加させると、ソース物質内のシリコン含量よりPDPの基板上に形成された保護膜のシリコン含量が減少する。

10

【0035】

シリコン(Si)は酸化マグネシウム(MgO)に微量添加されることで酸化マグネシウム(MgO)の結晶中の酸素(O)欠乏(Oxygen vacancy)を補償すると共に不純物により低下する保護膜の二次電子放出効率を補償する役目をする。言いかえれば、真空蒸着により保護膜が形成されるときの工程の中で、不可避的に伴う結晶欠陥とソース物質から流入される不純物、すなわち、カルシウム(Ca)、鉄(Fe)、アルミニウム(Al)、ニッケル(Ni)、ナトリウム(Na)、カリウム(K)などが電子放出特性を劣化させる要因として作用するが、シリコン(Si)は結晶欠陥と不純物により劣化される二次電子放出特性を相殺することでアドレス期間のジッタ値を減らすことができる。

20

【0036】

このシリコン(Si)が添加されることで図5で分かるようにアドレス期間のジッタ値が減少するが、シリコン(Si)の含有量が一定値以上になるとジッタが増加する傾向がある。したがって、シリコン(Si)はジッタが最小となる範囲内の量で保護膜に添加されることが好ましい。このために、シリコン(Si)は他の不純物の量と蒸着条件などにより変わるが、最適な量としては保護膜内に20 ppm~300 ppm程度添加されることである。

30

【0037】

図5に示したジッタ特性はPDPに駆動波形を印加して一つのセル内でアドレスの際に発生する光波型を測定して求めた。この実験で使われた測定パターンはプライミング効果を最小化するために低階調のラインパターンが利用された。

【0038】

PDP内に封入される放電ガスの種類を変えながら、それぞれ数十回実験をした結果によると、シリコン(Si)が添加された保護膜は放電ガスの種類にかかわらず二次電子放出特性が向上した。

40

【0039】

図6は5%以上のキセノン(Xe)を含む高密度Xe放電ガスが封入されたPDPでシリコン(Si)が添加された保護膜に対するジッタ特性の実験結果を示す。

【0040】

図6で分かるように高密度のXe放電ガスが封入されたPDPの保護膜が表2のように酸化マグネシウム(MgO)を主成分にしてシリコン(Si)が300 ppm以下に添加されると、アドレス期間のジッタが大略0.6 μs以内となり、非常に小さいレベルで現れた。

【0041】

したがって、本発明に係る保護膜を高密度Xeパネルに適用すると高輝度と高速駆動が可能になることは勿論で、高解像度実現が可能で外部温度対応力を高めることもできる。

50

【0042】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能である。

【図面の簡単な説明】

【0043】

【図1】従来の3電極交流面放電型PDPの放電セル構造を示す斜視図。

【図2】256階調を実現するための8ビットデフォルトコードのフレーム構成を示す図

。【図3】従来のPDPを駆動するための駆動波形を示す波形図。

【図4】従来のPDPを駆動するための他の駆動波形を示す波形図。

10

【図5】本発明の実施形態に係るPDPの保護膜においてシリコン(Si)の含量によるジッタ値の変化を示すグラフ。

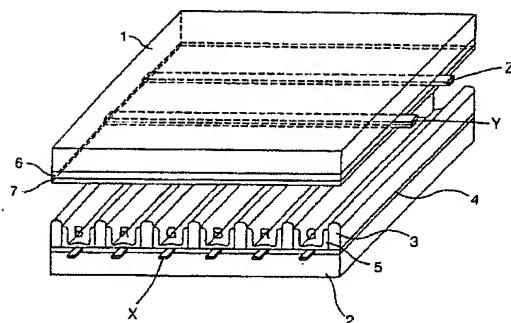
【図6】本発明の実施形態に係るPDPの保護膜においてキセノン(Xe)とシリコン(Si)の含量によるジッタ値の変化を示すグラフ。

【符号の説明】

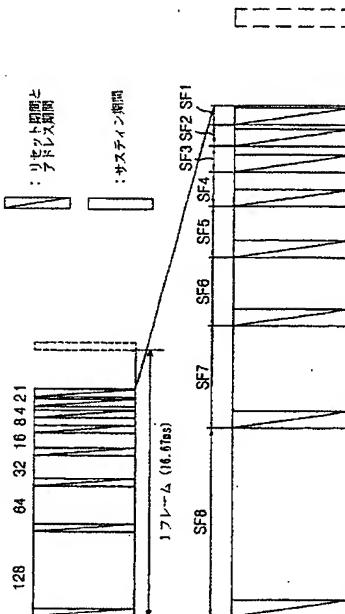
【0044】

1：上部基板、2：下部基板、3：隔壁、4、6：誘電体層、5：蛍光体、7：保護膜、
X：アドレス電極、Y：スキャン電極、Z：サステイン電極。

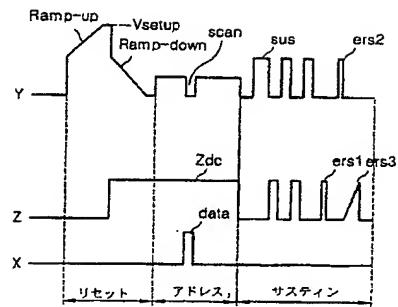
【図1】



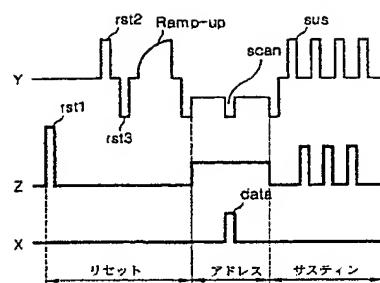
【図2】



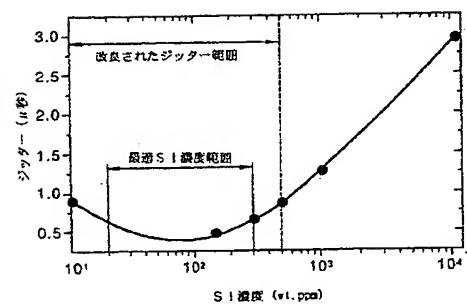
【図3】



【図4】



【図5】



【図6】

